

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-340369

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

H01L 23/12

H01L 21/60

H01L 21/60

(21)Application number : 11-075282

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 19.03.1999

(72)Inventor : HASHIMOTO NOBUAKI

(30)Priority

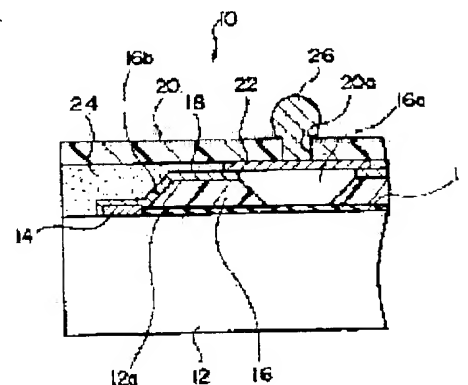
Priority number : 10 94007 Priority date : 23.03.1998 Priority country : JP

(54) SEMICONDUCTOR DEVICE, ITS MANUFACTURE, CIRCUIT BOARD AND ELECTRONIC APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of effectively absorbing thermal stress, its manufacturing method, a circuit board and an electronic apparatus.

SOLUTION: This semiconductor device is provided with a semiconductor element 12 having electrodes 14, a passivation film 11 which is formed on the surface of the semiconductor element 12 excluding at least a part of the respective electrodes 14, a conducting foil 22 which is arranged above the surface on which the passivation film 11 is formed with a specified interval in the thickness direction, an external electrode 26 formed on the conducting foil 22, an intermediate layer 16 which is formed between the passivation film 11 and the conducting foil 22 and retains the conducting foil 22, and a wiring 18 electrically connecting the electrodes 14 and the conducting foil 22. In the intermediate layer 16, a recessed part 16a where an aperture region becomes wider as it approaches the conducting foil 22 side from the passivation film 11 side is formed below a region containing a bonding part to the external electrode 26 in the conducting foil 22.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-340369

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl.⁴

H 0 1 L 23/12
21/60

識別記号

3 1 1

F 1

H 0 1 L 23/12
21/60
21/92

L

3 1 1 Q
6 0 2 J

審査請求 未請求 請求項の数21 O L (全 16 頁)

(21) 出願番号 特願平11-75282

(22) 出願日 平成11年(1999)3月19日

(31) 優先権主張番号 特願平10-94007

(32) 優先日 平10(1998)3月23日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 橋元 伸兄

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

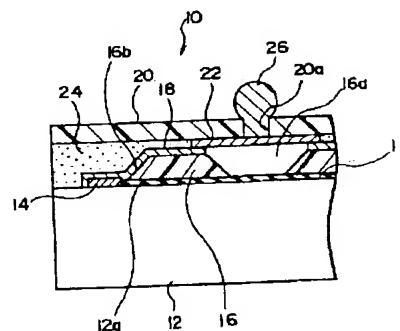
(74) 代理人 弁理士 井上 一 (外2名)

(54) 【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

(57) 【要約】

【課題】 熱ストレスを効果的に吸収することができる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【解決手段】 電極14を有する半導体素子12と、それぞれの電極14の少なくとも一部を避けて半導体素子12の表面上に設けられるパッシベーション膜11と、パッシベーション膜11が形成された面の上において、厚み方向に所定の間隔をあけて設けられる導電箔22と、導電箔22上に形成される外部電極26と、パッシベーション膜11と導電箔22との間に形成されるとともに導電箔22を支持する中間層16と、電極14と導電箔22とを電気的に接続する配線18と、を有し、中間層16には、導電箔22における外部電極26との接合部を含む領域の下方に、パッシベーション膜11側から導電箔22側に近づくに従い開口領域が広がる凹部16aが形成されている。



【特許請求の範囲】

【請求項1】 電極を有する半導体素子と、
それぞれの電極の少なくとも一部を避けて前記半導体素子の表面上に設けられるパッシベーション膜と、
前記パッシベーション膜が形成された面の上方において、厚み方向に所定の間隔をあけて設けられる導電箔と、

前記導電箔上に形成される外部電極と、
前記パッシベーション膜と前記導電箔との間に形成されるとともに前記導電箔を支持する中間層と、
前記電極と前記導電箔とを電気的に接続する配線と、を有し、

前記中間層には、前記導電箔における前記外部電極との接合部を含む領域の下方に、前記パッシベーション膜側から前記導電箔側に近づくに従い開口領域が広がる凹部が形成されている半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記凹部内には、前記中間層よりもヤング率が低い樹脂が充填されている半導体装置。

【請求項3】 請求項2記載の半導体装置において、前記配線は、前記パッシベーション膜が形成された面上に形成されるとともに前記中間層の凹部の底面に位置し、

前記樹脂は、導電フィラーが添加されたものであって、前記配線と前記導電箔とを電気的に接続する半導体装置。

【請求項4】 請求項1又は請求項2記載の半導体装置において、前記中間層は、前記電極と前記導電箔との間に傾斜面を有し、

前記配線は、前記傾斜面を通して前記電極と前記導電箔とを電気的に接続する半導体装置。

【請求項5】 請求項1から請求項4のいずれかに記載の半導体装置において、前記中間層は、柔軟性を有する材料から形成される半導体装置。

【請求項6】 請求項1から請求項5のいずれかに記載の半導体装置において、前記導電箔は、前記凹部の開口領域の内側の位置であって前記外部電極との接続部を避ける位置に、穴を有する半導体装置。

【請求項7】 請求項1から請求項6のいずれかに記載の半導体装置において、前記導電箔が形成された基板が、前記導電箔が形成された面を前記中間層に向けて設けられており、前記基板は、前記凹部の上方に貫通穴を有し、前記貫通穴を介して前記導電箔に前記外部電極が形成される半導体装置。

【請求項8】 請求項1から請求項6のいずれかに記載の半導体装置において、

前記中間層と前記導電箔との間に、柔軟性を有する材料から形成される基板が設けられ、
前記基板は、前記凹部の上方を除く領域に貫通穴を有し、

前記貫通穴を介して前記配線と前記導電箔とが電気的に接続される半導体装置。

【請求項9】 請求項1から請求項8のいずれかに記載の半導体装置において、前記導電箔と前記配線とは、一体的に形成されている半導体装置。

【請求項10】 請求項1から請求項8のいずれかに記載の半導体装置において、前記導電箔と前記配線とは、別体である半導体装置。

【請求項11】 電極を有し、それぞれの電極の少なくとも一部を避けて表面上にパッシベーション膜が設けられた半導体素子を用意する工程と、

前記パッシベーション膜が形成された面の上方に、厚み方向に所定の間隔をあけて導電箔を設け、前記パッシベーション膜と前記導電箔との間に前記導電箔を支持する中間層を形成し、前記中間層に、前記電極を避ける位置でくぼみ凹部を形成する工程と、

前記電極と前記導電箔とを電気的に接続する配線を形成する工程と、

前記導電箔における前記凹部の上方位置に外部電極を形成する工程と、

を含む半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法において、貫通穴を有し、かつ、前記貫通穴上を含めて前記導電箔が貼り付けられた基板を用意し、

前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記凹部を形成し、

その後、前記貫通穴を前記凹部の上方に位置させて、かつ、前記導電箔を前記凹部に対向させて、前記基板を前記中間層に載せ、

前記貫通穴を介して前記導電箔に前記外部電極を形成する半導体装置の製造方法。

【請求項13】 請求項11記載の半導体装置の製造方法において、

柔軟性を有する材料から形成されて貫通穴を有する基板を用意し、

前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記凹部を形成し、かつ、前記中間層に前記配線を形成し、

前記配線上に前記貫通穴を位置させて前記基板を前記中間層に載せ、前記基板に前記導電箔を形成し、前記貫通穴を介して前記配線と前記導電箔とを電気的に接続する半導体装置の製造方法。

【請求項14】 請求項11記載の半導体装置の製造方法において、

50

前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記導電箔を形成し、前記導電箔に穴を形成し、前記穴を介して前記中間層をエッチングして前記凹部を形成する半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法において、

前記中間層は、前記半導体素子のエッチングが不可能な条件下で、エッチング可能な材料で形成される半導体装置の製造方法。

【請求項16】 請求項11記載の半導体装置の製造方法において、

前記パッシベーション膜は、前記中間層のエッチング条件下でエッチングされるものであり、

前記パッシベーション膜上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる被覆層を形成し、前記被覆層に前記中間層を形成し、前記中間層に前記導電箔を形成し、前記導電箔に穴を形成し、前記穴を介して前記中間層をエッチングして前記凹部を形成する半導体装置の製造方法。

【請求項17】 請求項11記載の半導体装置の製造方法において、

前記パッシベーション膜は、前記中間層のエッチング条件下でエッチングされるものであり、

前記パッシベーション膜上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる第1の被覆層を形成し、

前記第1の被覆層上に前記中間層を形成し、

前記中間層上に前記導電箔及び配線を形成するとともに前記導電箔に穴を形成し、

前記配線の上にソルダレジスト層を形成し、

前記ソルダレジスト層上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる第2の被覆層を形成し、

前記導電箔の穴を介して前記導電箔の下に至るまで前記中間層をエッチングする半導体装置の製造方法。

【請求項18】 請求項14から請求項17のいずれかに記載の半導体装置の製造方法において、

前記中間層をエッチングする工程の前に、前記導電箔に前記外部電極を形成し、前記外部電極に、前記中間層のエッチング条件下でエッチングされにくい材料からなる電極被覆層を形成する工程を含む半導体装置の製造方法。

【請求項19】 請求項11から請求項18のいずれかに記載の半導体装置の製造方法において、

前記凹部に、前記中間層よりもヤング率が低い樹脂を充填する工程を含む半導体装置の製造方法。

【請求項20】 請求項1から請求項10のいずれかに記載の半導体装置が実装された回路基板。

【請求項21】 請求項20記載の回路基板を有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】 半導体装置の高密度実装を追求すると、ベアチップ実装が理想的である。しかしながら、ベアチップは、品質の保証及び取り扱いが難しい。そこで、CSP (chip Scale/Size Package) が適用された半導体装置が開発されている。CSPについては正式な定義はないが、一般に、パッケージサイズが1Cチップと同じか、1Cチップよりわずかに大きい1Cパッケージと解されている。高密度実装を推進するためには、CSP技術の開発が重要である。CSPに関する従来例を開示する刊行物として、国際公開WO95/08856号公報がある。

【0003】 これによれば、外部電極を有する基板と半導体チップとの間にギャップが形成され、このギャップに樹脂が注入される。この樹脂は、硬化したときに弾力性を有するものである。この弾力性を有する樹脂によって、外部電極に加えられた応力（熱ストレス）が吸収される。なお、この応力は、半導体装置と、この半導体装置が実装される回路基板との熱膨張率の差によって生じる。

【0004】 しかしながら、半導体チップの基板との間に注入される樹脂は、極めて薄いために十分な熱ストレスの吸収がなされていなかった。

【0005】 本発明は、この問題点を解決するものであり、その目的は、熱ストレスを効果的に吸収することができる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【0006】

【課題を解決するための手段】 (1) 本発明に係る半導体装置は、電極を有する半導体素子と、それぞれの電極の少なくとも一部を避けて前記半導体素子の表面上に設けられるパッシベーション膜と、前記パッシベーション膜が形成された面の上において、厚み方向に所定の間隔をあけて設けられる導電箔と、前記導電箔上に形成される外部電極と、前記パッシベーション膜と前記導電箔との間に形成されるとともに前記導電箔を支持する中間層と、前記電極と前記導電箔とを電気的に接続する配線と、を有し、前記中間層には、前記導電箔における前記外部電極との接合部を含む領域の下方に、前記パッシベーション膜側から前記導電箔側に近づくに従い開口領域が広がる凹部が形成されている。

【0007】 本発明に係る「半導体素子」は、半導体チップにとどまらず、個片になっていないウエーハ状のものを指す場合もある。すなわちここでいう半導体素子とは、例えばシリコンからなるベース基板状に切り離した

り離されて個片となっているかそれとも一体となっているかについては特に限定する必要はない。

【0008】本発明によれば、外部電極が導電箔に形成され、導電箔は中間層にて支持されている。中間層には凹部が形成され、凹部の上方に外部電極が位置している。すなわち、外部電極が中間層に直接支持されずに、中間層から浮いた状態になっている。このことによって、外部電極は比較的自由に動くことができるので、回路基板との熱膨張率の差によって生じた応力（熱ストレス）を吸収することができる。

【0009】（2）前記凹部内には、前記中間層よりもヤング率が低い樹脂が充填されていてもよい。

【0010】こうすることで、凹部の空間を埋めることができるので、リフロー工程などの加熱時に、水蒸気の膨張によるクラックを防止することができる。

【0011】（3）前記配線は、前記パッシベーション膜が形成された面上に形成されるとともに前記中間層の凹部の底面に位置し、前記樹脂は、導電フィラーが添加されたものであって、前記配線と前記導電箔とを電気的に接続されていてもよい。

【0012】（4）前記中間層は、前記電極と前記導電箔との間に傾斜面を有し、前記配線は、前記傾斜面を通して前記電極と前記導電箔とを電気的に接続してもよい。

【0013】（5）前記中間層は、柔軟性を有する材料から形成されてもよい。

【0014】こうすることで、中間層自体によっても応力を緩和することができる。

【0015】（6）前記導電箔は、前記凹部の開口領域の内側の位置であって前記外部電極との接続部を避ける位置に、穴を有してもよい。

【0016】こうすることで、導電箔が変形しやすくなり、導電箔によって応力を吸収することができる。

【0017】（7）本発明において、前記導電箔が形成された基板が、前記導電箔が形成された面を前記中間層に向けて設けられており、前記基板は、前記凹部の上方に貫通穴を有し、前記貫通穴を介して前記導電箔に前記外部電極が形成されてもよい。

【0018】これによれば、導電箔上が基板にて覆われて保護される。

【0019】（8）本発明において、前記中間層と前記導電箔との間に、柔軟性を有する材料から形成される基板が設けられ、前記基板は、前記凹部の上方を除く領域に貫通穴を有し、前記貫通穴を介して前記配線と前記導電箔とが電気的に接続されてもよい。

【0020】（9）前記導電箔と前記配線とは、一体的に形成されていてもよい。

【0021】（10）前記導電箔と前記配線とは、別体であってもよい。

【0022】（11）本発明に係る半導体装置の製造方

法は、電極を有し、それぞれの電極の少なくとも一部を避けて表面上にパッシベーション膜が設けられた半導体素子を用意する工程と、前記パッシベーション膜が形成された面の上方に、厚み方向に所定の間隔をあけて導電箔を設け、前記パッシベーション膜と前記導電箔との間に前記導電箔を支持する中間層を形成し、前記中間層に、前記電極を避ける位置でくぼむ凹部を形成する工程と、前記電極と前記導電箔とを電気的に接続する配線を形成する工程と、前記導電箔における前記凹部の上方位置に外部電極を形成する工程と、を含む。

【0023】本発明によって製造される半導体装置によれば、外部電極が導電箔に形成され、導電箔は中間層にて支持されている。中間層には凹部が形成され、凹部の上方に外部電極が位置している。すなわち、外部電極が中間層に直接支持されずに、中間層から浮いた状態になっている。このことによって、外部電極は比較的自由に動くことができるので、回路基板との熱膨張率の差によって生じた応力（熱ストレス）を吸収することができる。

【0024】（12）本発明において、貫通穴を有し、かつ、前記貫通穴を含めて前記導電箔が貼り付けられた基板を用意し、前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記凹部を形成し、その後、前記貫通穴を前記凹部の上方に位置させて、かつ、前記導電箔を前記凹部に対向させて、前記基板を前記中間層に載せ、前記貫通穴を介して前記導電箔に前記外部電極を形成してもよい。

【0025】これによれば、導電箔が基板に貼り付けられているので、導電箔を形成する工程を簡単に行うことができる。

【0026】（13）本発明において、柔軟性を有する材料から形成されて貫通穴を有する基板を用意し、前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記凹部を形成し、かつ、前記中間層に前記配線を形成し、前記配線上に前記貫通穴を位置させて前記基板を前記中間層に載せ、前記基板に前記導電箔を形成し、前記貫通穴を介して前記配線と前記導電箔とを電気的に接続してもよい。

【0027】これによれば、導電箔が基板に貼り付けられているので、導電箔を形成する工程を簡単に行うことができる。

【0028】（14）前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記導電箔を形成し、前記導電箔に穴を形成し、前記穴を介して前記中間層をエッチングして前記凹部を形成してもよい。

【0029】（15）前記中間層は、前記半導体素子のエッチングが不可能な条件下で、エッチング可能な材料で形成されてもよい。

【0030】こうすることで、中間層をエッチングする

10

20

30

40

50

ときに、半導体素子の表面もエッチングされることを防止できる。

【0031】(16)前記パッシベーション膜は、前記中間層のエッチング条件下でエッチングされるものであり、前記パッシベーション膜上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる被覆層を形成し、前記被覆層に前記中間層を形成し、前記中間層に前記導電箔を形成し、前記導電箔に穴を形成し、前記穴を介して前記中間層をエッチングして前記凹部を形成してもよい。

【0032】このように、パッシベーション膜に被覆層を形成することで、パッシベーション膜のエッチングを防止することができる。

【0033】(17)前記パッシベーション膜は、前記中間層のエッチング条件下でエッチングされるものであり、前記パッシベーション膜上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる第1の被覆層を形成し、前記第1の被覆層上に前記中間層を形成し、前記中間層上に前記導電箔及び配線を形成するとともに前記導電箔に穴を形成し、前記配線上にソルダレジスト層を形成し、前記ソルダレジスト層上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる第2の被覆層を形成し、前記導電箔の穴を介して前記導電箔の下に至るまで前記中間層をエッチングしてもよい。

【0034】(18)前記中間層をエッチングする工程の前に、前記導電箔に前記外部電極を形成し、前記外部電極に、前記中間層のエッチング条件下でエッチングされにくい材料からなる電極被覆層を形成する工程を含んでもよい。

【0035】これによれば、外部電極を形成してから、中間層をエッチングして凹部を形成する。したがって、外部電極の形成により生じる残渣を除去してからエッチングを行えるので、残渣が凹部に残らない。

【0036】(19)本発明では、前記凹部に、前記中間層よりもヤング率が低い樹脂を充填する工程を含んでもよい。

【0037】(20)本発明に係る回路基板には、上記半導体装置が実装される。

【0038】(21)本発明に係る電子機器は、上記回路基板を有する。

【0039】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を参照して説明する。

【0040】なお、各図面は説明を分かりやすくするために一部を拡大して示したものである。以下の説明においては、最終的に個片にしたときの1つの半導体装置を想定して説明しているため、用いている用語や形状等において若干実際と異なる箇所がある。以下の説明では、半導体チップと記載してあり、その意味の通り個片(す

なわちチップ状)のものを指しているが、本発明に係る「半導体素子」は、半導体チップにとどまらず、個片になっていないウエーハ状のものを指す場合もある。すなわちここでいう半導体素子とは、例えばシリコンからなるベース基板状に切り離したとしても使える所定の回路が形成されていれば良く、切り離されて個片となっているかそれとも一体となっているかについては特に限定する必要はない。また配線等の説明に必要な箇所の代表的な箇所のみを取り上げているので、各図にはその他の箇所に同様のものやその他の構造が省略されている。

【0041】(第1実施形態)図1は、第1実施形態に係る半導体装置を示す断面図である。同図に示す半導体装置10は、パッケージサイズが半導体チップ12とほぼ同じであるCSP型のものである。

【0042】半導体チップ12の能動面12aには、例えばアルミニウム(A1)から電極14が形成されている。また、それぞれの電極14の少なくとも一部を避けて半導体チップ12には、パッシベーション膜11が形成されている。ここで、少なくとも一部を避けるとは、電極14から電氣的信号等を導き出す必要があるからである。したがって、電極14から電氣的信号等が導き出せる程度に、パッシベーション膜11が電極14を避ける必要がある。パッシベーション膜11は、例えば、SiO₂、SiN、ポリイミド樹脂などで形成することができ、電極14を避けて能動面12aに中間層16が形成されている。詳しくは、パッシベーション膜11上に中間層16が形成されている。また、中間層16には、凹部16aが形成されており、凹部16a内では能動面12aが露出している。もっとも、凹部16aは、へこんだ形状であれば足り、能動面12aが露出していなくてもよい。また、中間層16には、電極14から傾斜する傾斜面16bが形成されており、電極14から傾斜面16bを経て中間層16上にかけて、配線18が形成されている。図1に示す凹部16aの開口端部は、外部電極26の根本の部分の大きさよりもかなり大きい。が、これに限定されず、外部電極26の根本の部分の大きさとほぼ等しいかあるいはそれ以上であればよい。さらに、外部電極26の根本の一部に、凹部16aの開口が位置しても良く、この場合は、この開口が中間層の変形を許し、応力緩和効果を発揮できる。また、凹部16aは、中間層16を貫通してその下のパッシベーション膜11を露出させてもよいが、中間層16を貫通しないように凹部16aの底部に中間層16の一部を残しても良い。

【0043】ここで、中間層16は、絶縁樹脂、例えばポリイミド樹脂からなり、半導体装置10が回路基板(図示せず)に実装されたときに、半導体チップ12と実装される回路基板との熱膨張係数の差によって生じる応力を緩和することができる。なお、中間層16が応力緩和機能を有することは、本発明の必須要件ではない。

応力緩和機能は、凹部16aが形成されていることでも達成される（詳しくは後述する）。

【0044】また、絶縁樹脂は、配線18に対して絶縁性を有し、半導体チップ12の能動面12aを保護することができ、実装時のハンダを溶融するときの耐熱性も有する。後述する応力緩和機能を付加させることを考慮すると、ポリイミド樹脂等が一般的に用いられ、中でもヤング率が低いもの（例えばオレフィン系のポリイミド樹脂や、ポリイミド樹脂以外としてはダウケミカル社製のBCB等）を用いることが好ましく、特にヤング率が300kg/mm²以下程度であることが好ましい。中間層16は、厚いほど応力緩和力が大きくなるが、半導体装置の大きさや製造コスト等を考慮すると、1~100μm程度の厚みとすることが好ましい。ただし、ヤング率が300kg/mm²程度のポリイミド樹脂を用いた場合には、10μm程度の厚みで足りる。

【0045】あるいは、中間層16として、例えばシリコン変性ポリイミド樹脂、エポキシ樹脂やシリコン変性エポキシ樹脂等を用いても良く、さらに、ヤング率が低く応力緩和の働きを果たせる材質を用いてもよい。また、中間層16として、バシペーション層（SiN、SiO₂、MgOなど）を形成し、応力緩和自体は、後述するように凹部16aが形成されることで行われてもよい。

【0046】配線18は、例えば銅（Cu）やアルミニウム（Al）、チタン（Ti）、ニッケル（Ni）、チタンタングステン（Ti-W）から又はこれらのうちの複数を積層して形成され、その上に導電箔22が形成されている。導電箔22は、予め基板20に形成されたもので、接着剤24を介して、基板20とともに配線18上に貼り付けられる。なお、導電箔22も、例えば銅（Cu）から形成されている。

【0047】導電箔22は、中間層16に形成された凹部16aの開口端部よりも大きく形成されて、この凹部16aの上方を覆うように配置されている。また、導電箔22の一部は、配線18の上に接触して電気的に接続されている。なお、導電箔22と配線18とは、熱及び圧力を加えて溶着されることが好ましい。導電箔22と配線18との電気的な接続は、上述のような、接着剤24による機械的圧接によっても良いし、配線18及び導電箔22上にAu、Sn、ハンダ等をメッキして両者をロウ付けしても良く、超音波熱等による拡散接合で接続しても良い。そのために、導電箔22及び配線18の双方の接合面のうち少なくとも一方に、低温ろうが設けられていることが好ましい。

【0048】基板20は、柔軟性を有する樹脂等で形成されたフィルム状のもので、凹部16aの上方の位置に、貫通穴20aを有する。なお、導電箔22は、基板20の下面において、貫通穴20aを覆うように形成されている。そして、貫通穴20aを介して、導電箔22

に外部電極26が形成されている。外部電極26は、例えば、ハンダのみで形成してもよいし、銅（Cu）又はニッケル（Ni）の表面にハンダ又は金のメッキを施して形成してもよい。

【0049】なお、導電箔22付きの基板20として、2層（Cu箔+ポリイミド基板）又は3層（Cu箔+接着剤+ポリイミド基板）のTAB技術で用いられるフィルムキャリアテープ又はFPC（Flexible Printed Circuit）を使用してもよい。

【0050】本実施形態は、上記のように構成されており、以下その作用を説明する。半導体装置10において、外部電極26が形成された導電箔22は、中間層16によって支持されている。ただし、中間層16には、外部電極26の直下を含む領域に、凹部16aが形成されている。凹部16aによって、導電箔22の下には空間が形成される。つまり、外部電極26との接合部付近において、導電箔22は浮いた状態となって変形しやすくなっている。このように構成されているので、外部電極26に応力が加えられると、導電箔22及び基板20が変形することで、その応力を吸収することができる。こうして、半導体装置を回路基板に実装する際や、実装された回路基板や電子機器が温度変化による半導体装置（又はシリコンから形成される半導体チップ）と回路基板との熱膨張係数差によるストレスや、外部応力によって曲げられた際に発生する機械的ストレスを吸収するじとができる。以下、ストレスとは、このことを言う。

【0051】次に、図2に、本実施形態に係る半導体装置の平面図を示す。同図において、半導体チップ12の電極14から、能動面12aの中央方向に配線18が形成され、各配線18は導電箔22に接続され、導電箔22には外部電極26が設けられている。外部電極26を除く領域は、基板20によって覆われて保護されている。

【0052】電極14は、半導体チップ12の周辺部に位置する、いわゆる周辺電極型の例であるが、半導体チップの周辺領域よりも内側領域に電極が形成されたエリアレイ配置型の半導体チップを用いても良い。

【0053】なお、同図に示されるように、外部電極26は半導体チップ12の電極14上ではなく半導体チップ12の能動領域（能動素子が形成されている領域）に設けられている。中間層16を能動領域に設け、更に配線18を能動領域内に配設する（引き込む）ことで、外部電極26を能動領域内に設けることができる。すなわち、ピッチ変換をすることができる。従って外部電極26を配置する際に能動領域内、すなわち一定の面としての領域が提供できることになり、外部電極26の設定位置の自由度が非常に増すことになる。

【0054】そして、配線18を必要な位置で屈曲させることにより、外部電極26は格子状に並ぶように設けられている。なお、これは、本発明の必須の構成ではな

いので、外部電極26は必ずしも格子状に並ぶように設けなくても良い。

【0055】また、図2には、電極14と配線18との接合部において、電極14の幅と配線18の幅が、
配線18<電極14

となっているが、実際には、

電極14≤配線18

とすることが好ましい。特に

電極14<配線18

となる場合には、配線18の抵抗値が小さくなるばかり
か、強度が増すので断線が防止される。

【0056】なお、本実施形態では、中間層16が応力緩和機能を有するが、凹部16aが形成されることだけでも、ストレスを吸収することが可能である。したがって、中間層16として、応力緩和機能を有しない材質からなる層（例えば単なる絶縁層又は保護層）を形成した構造であっても、ストレスの吸収が可能となる。

【0057】次に、図3(A)～図3(E)は、本実施形態に係る半導体装置の製造方法を説明する図である。

まず、図3(A)に示すように、例えばアルミニウム

(A1)からなる電極14を有する半導体チップ12を用意する。なお、電極14を置いて半導体チップ12には、図示しないパッシベーション膜が形成されている。ウェーハ状の半導体素子に対して、本発明に係る工程を行るときは、市販されているウェーハを用いればよい。そして、半導体チップ12の能動面12aに、図示しないポリイミド樹脂をスピンコートなどの方法で設ける。あるいは、予めフィルム状にされたポリイミド樹脂等を、能動面12aに貼り付けてもよい。

【0058】そして、フォトリソグラフィの工程を経て、図3(B)に示すように、凹部16aを有する中間層16を形成する。なお、凹部16aをフォトリソグラフィにより形成する場合には、それに適した材料を中間層16の材料として選ぶことが好ましい。

【0059】続いて、図3(C)に示すように、電極14から中間層16上に至る配線18を形成する。例えば、スパッタリングにより100オングストローム(10⁻¹⁰m)のチタンタングステン(Ti-W)層を形成し、その上に同様にスパッタリングにより1μmの銅(Cu)層を形成し、こうして得られた金属膜を、所定の

パターンにエッチングして配線18を形成する。
【0060】そして、図3(D)に示すように、接着剤24を介して、基板20を貼り付ける。基板20には、予め貫通穴20aが形成されているとともに、貫通穴20aを覆う位置に導電箔22が設けられている。

【0061】なお、導電箔22及び配線18の双方の接合面のうち少なくとも一方に、例えば、スズ(Sn)、金(Au)又はハンダ等をメッキして、低温ろうを設けることが好ましい。

【0062】そして、導電箔22が配線18上に接触す

るように基板20を載せて、基板20の上から熱及び圧力を加える。こうして、低温ろうが溶融して導電箔22と配線18とが電気的に接続される。この接続は、超音波等を印加して行われても良い。

【0063】次に、図3(E)に示すように、基板20の貫通穴20aを介して、導電箔22に外部電極26を形成する。例えば、導電箔22上に、ハンダボールを載せたり、ハンダメッキを積み上げたり、ハンダペーストを印刷したり、銅(Cu)又はニッケル(Ni)あるいはその両方のメッキを施してさらにハンダ又は金(Au)のメッキを施したりすることで、外部電極26を形成する。

【0064】以上の工程によって、半導体装置10を得ることができる。なお、半導体チップ12がウェーハ状のものである場合には、ダイシングを行って個片に切断することで半導体装置10が得られる。半導体装置10は、その後、品質検査を行ってトレイ詰めされる。

【0065】なお、本実施形態では、配線18は傾斜面16b上に形成されているが、凹部16a側の傾斜面に形成されてもよい。このことは、以下の実施形態でも同様である。こうすれば、配線18の大部分は、中間層16を通り、保護されるため、装置信頼性が向上する。

【0066】(第2実施形態)図4は、第2実施形態に係る半導体装置を示す図である。同図に示す半導体装置30は、図1に示す半導体装置10の凹部16aに、樹脂32が充填されたことを特徴としており、それ以外の構成は半導体装置10と同様である。図4に示す凹部16aの開口端部は、外部電極26の根本の部分の大きさよりもかなり大きい。これに限定されず、外部電極26の根本の部分の大きさとほぼ等しいかあるいはそれ以上であればよい。さらに、外部電極26の根本の一部に、凹部16aの開口が位置しても良く、この場合は、この開口が中間層の変形を許し、応力緩和効果を発揮できる。また、凹部16aは、中間層16を貫通してその下のパッシベーション膜(図示せず)を露出させてもよいが、中間層16を貫通しないように凹部16aの底部に中間層16の一部を残してもよい。

【0067】樹脂32として、例えば感光性レジストとして使用されるポリイミド樹脂、シリコンゲル又はゴム等のうち、中間層16よりもヤング率が低くて柔らかいものを使用することが好ましい。こうすることで、凹部16aにより形成される空間を埋めることができるので、リフロー工程などの加熱時に、空気や水蒸気の膨張によるクラックを防止することができる。

【0068】樹脂32は、基板20を貼り付ける前に充填してもよいし、基板20に穴を形成しておき基板20を貼り付けてから穴を介して充填してもよい。

【0069】また、本実施形態のように凹部に樹脂を充填することは、以下の全ての実施形態においても適用することができる。

【0070】(第3実施形態)図5は、第3実施形態に係る半導体装置を示す図である。同図に示す半導体装置40は、図1に示す半導体装置10と同様に、半導体チップ12、電極14、中間層16及び配線18を有し、中間層16には凹部16aが形成されている。

【0071】中間層16上には接着剤24を介して基板42が貼り付けられている。基板42は、例えば、第1実施形態で中間層16の材料として挙げたポリイミド樹脂等のヤング率の低い材料から形成された膜である。基板42上には、配線状にパターン化された導電箔44が形成され、導電箔44上に外部電極46が形成されている。基板42には、配線18のうち中間層16の上に位置する部分上に、貫通穴42aが形成されている。貫通穴42aには、電気的接合部48が形成されて、導電箔44と配線18とが電気的に接続されている。また、導電箔44の上にはソルダレジスト層49が、外部電極46を避けて設けられて、導電箔44を保護している。

【0072】次に、半導体装置40の製造方法を説明する。まず、図3(A)～図3(C)に示す工程を経て、半導体チップ12に、中間層16及び配線18を形成し、中間層16には凹部16aを形成する。

【0073】そして、中間層16上に、接着剤24を介して基板42を貼り付け、基板42に貫通穴42aを形成する。なお、予め基板42に貫通穴42aを形成してから、これを貼り付けてもよい。

【0074】次に、基板42に導電箔44を形成する。導電箔44は、例えば、スパッタリング、電解メッキ、無電解メッキ等によって形成することができる。導電箔44のパターン化にはフォトリソグラフィの技術を使用してもよい。あるいは、予め基板42にパターン化された導電箔44を設けておいてから、これを中間層16上に貼り付けてもよい。

【0075】そして、例えば、無電解メッキにより、あるいはこれに電解メッキを加えるなどの方法で、基板42の貫通穴42aを含む領域に電気的接合部48を設ける。

【0076】次に、導電箔44上に、外部電極46の形成領域を避けてソルダレジスト層49を設けてから、外部電極46を形成する。外部電極46の形成方法は、第1実施形態の外部電極26の形成方法と同様である。

【0077】以上のようにして製造される半導体装置40によっても、中間層16に凹部16aが形成されているので、外部電極26に加えられるストレスを吸収することができる。

【0078】(第4実施形態)図6は、第4実施形態に係る半導体装置を示す図である。同図に示す半導体装置50は、図1に示す半導体装置10と同様に、電極54を有する半導体チップ52に中間層56が形成され、中間層56には凹部56aが形成されている。また、電極54から中間層56上にかけて配線58が形成され、配

線58と一体的に導電箔60が中間層56上に形成されている。導電箔60には、少なくとも一つの穴60aが形成されている。そして、導電箔60における凹部56a上の領域に、外部電極62が形成されている。また、外部電極62を避けて、配線58及び導電箔60上にソルダレジスト層64が形成されて、これらが保護されている。

【0079】本実施形態は、その製造方法に特徴がある。図7(A)～図7(C)は、本実施形態に係る半導体装置の製造方法を説明する図である。

【0080】本実施形態では、基板を使用しないのでウェーハに対して中間層56や外部電極62等を形成してから、これを切断することが好ましい。これに対して、基板を使用する形態(第1～第3実施形態)では、テープ状の基板を個々の半導体チップに貼り付けることができる。

【0081】まず、図7(A)に示すように、半導体チップ52の能動面52aに、電極54を避けて中間層56を形成する。中間層56は、図1に示す中間層16と同様の材料で形成される。中間層56がヤング率の低い材料で形成される場合には、中間層56によっても応力緩和機能を果たす。あるいは、応力緩和機能を果たさないような硬い材料(例えば、酸化マグネシウム(MgO)等の無機物)で中間層56を形成してもよい。

【0082】なお、中間層56が後の工程でエッチングされるときに、半導体チップ52の能動面52aがエッチングされないように、中間層56は、半導体パシベーション膜と材質において異なることが好ましい。そのためには、中間層56は、半導体チップ52の表面に露出する物質がエッチングされない条件下で、エッチング可能な材料で形成されることが好ましい。

【0083】次に、図7(B)に示すように、電極54から中間層56上にかけて、金属膜66を形成する。その製造方法は、第1実施形態の配線18を形成するための金属膜の形成方法と同様である。この場合、後述する外部端子62のストレスが配線58に直接かかるので、配線58の厚さは5～20μm程度とすることが好ましい。金属膜66は、後述する工程でエッチングされて配線58及び導電箔60を形成するものである。

【0084】次に、図7(C)に示すように、金属膜66における導電箔60となる部分に、穴60aを形成し、この穴60aを介して、中間層56をエッチング液又はエッチングガス(エッチャント)にさらす。例えば、中間層56をポリイミド等の樹脂で形成した場合、エッチャントとしては、KOH等の強アルカリ水溶液や、O₂又はCF₄等のドライエッチングガスが好ましく、中間層56を酸化マグネシウム(MgO)等で形成した場合には、熱リン酸水溶液等が好ましい。その後、必要に応じて、エッチャントを除去する。特に、ウェットプロセスの場合は、水洗、リンス工程を加えることが

好ましい。こうして、図7(D)に示すように、中間層56がエッチングされて凹部56aが形成される。

【0085】続いて、図8(A)に示すように、金属膜66をパターニングして、配線58及び導電箔60を形成する。そして、図8(B)に示すようにソルダレジスト層64を形成して、図8(C)に示すように外部電極62を形成する。ソルダレジストとしては、感光性のポリイミド樹脂やエポキシ樹脂ドライフィルム等が用いられることが多い。外部電極62の形成方法は、第1実施形態と同様である。こうして、半導体装置50が得られる。本実施形態においても、第1実施形態と同様の効果を達成することができる。

【0086】さらに、本実施形態によって製造された半導体装置50は、導電箔60に穴60aが形成されているので、導電箔60が変形しやすくなっている。したがって、凹部56a上で浮いた状態となった導電箔60によるストレスの吸収効果が一層高められている。

【0087】(第5実施形態)図9(A)～図9(C)は、第5実施形態に係る半導体装置の製造方法を示す図である。

【0088】本実施形態では、図9(A)に示すように、電極74を有する半導体チップ72に中間層76を形成する。中間層76上には導電箔80を形成し、導電箔80から電極74に至るように配線78を形成する。配線78及び導電箔80上には、ソルダレジスト層84を形成する。また、導電箔80には、穴80aを形成する。

【0089】なお、中間層76の形成方法は図7(A)に示す方法と同じであり、配線78及び穴80a並びに導電箔80の形成方法は図7(B)～図8(A)に示す方法と同じである。また、ソルダレジスト層84は、外部電極82(図9(B)参照)を避ける領域に形成される。

【0090】そして、導電箔80上に外部電極82を形成し、これに伴って生じる残渣を除去してから、外部電極82及びソルダレジスト層84上に、被覆層86を形成する(図9(B)参照)。被覆層86は、中間層76のエッチング条件下では、エッチングされにくい材料から形成される。

【0091】続いて、導電箔80の穴80aを介して、図7(D)の工程と同様にして、中間層76に凹部76aを形成し、被覆層86を除去して、図9(C)に示す半導体装置70が得られる。

【0092】本実施形態によれば、外部電極82を形成するときに生じる残渣を除去してから、中間層76に凹部76aを形成するので、凹部76aに残渣が残らない。また、本実施形態により製造された半導体装置70の特徴は、第4実施形態と同様である。

【0093】(第6実施形態)図10(A)～図10(C)は、第6実施形態に係る半導体装置の製造方法を

示す図である。

【0094】本実施形態では、図10(A)に示すように、電極104を避けて能動面102a上にバシベーション膜106が形成された半導体チップ102が使用される。バシベーション膜106は、図10(C)に示す中間層108と共通する性質を有する材料で形成される。すなわち、バシベーション膜106は、中間層108のエッチング条件下で、エッチングされる材料で形成されている。例えば、中間層108及びバシベーション膜106をいずれもポリイミド樹脂で形成した場合が該当する。

【0095】このような場合、図10(B)に示すように、バシベーション膜106上において、少なくとも凹部108a(図10(C)参照)の下に位置に、被覆層118を形成する。被覆層118は、中間層108及びバシベーション膜106のエッチング条件下ではエッチングされない材料で形成されている。例えば、中間層108及びバシベーション膜106がポリイミド樹脂から形成される場合には、被覆層118を、Cr、Ti、W、Ti等の金属薄膜とすればよい。

【0096】その後、図7(A)～図8(C)に示すのと同様の工程により、図10(C)に示すように、凹部108aを有する中間層108、配線110、穴112aを有する導電箔112、外部電極114及びソルダレジスト層116を形成する。

【0097】本実施形態によれば、被覆層118によってバシベーション膜106が覆われているので、中間層108をエッチングして凹部108aを形成するとき、バシベーション膜106までもエッチングされることを防止できる。こうして、凹部108a内に能動素子が露出することを防止できる。応力緩和機能に関する特徴は、上述した実施形態と同様である。

【0098】(第7実施形態)図11(A)及び図11(B)は、第7実施形態に係る半導体装置の一部を示す図である。なお、図11(B)は、図11(A)のB-B線断面図である。本実施形態に係る半導体装置120は、図1に示す半導体装置10における基板20及び導電箔22に、穴122、124が形成されたものである。

【0099】本実施形態によれば、穴122、124が形成されたことで、基板20及び導電箔22が変形しやすくなり、応力緩和機能が高められている。

【0100】(第8実施形態)図12は、第8実施形態に係る半導体装置を示す図である。同図に示す半導体装置130は、半導体チップ132の能動面132a上に、電極134から配線136が形成されている。配線136の上には中間層138が形成されている。そして、中間層138には、配線136上の位置で配線136が露出するように、凹部138aが形成されている。中間層138の上には、接着剤142を介して、基板1

46が設けられている。この基板146には、凹部138aの上方の位置で、かつ、この凹部138aに対向する面に、導電箔144が形成されている。また、基板146には、凹部138aの上方において、貫通穴146aが形成されており、導電箔144が反対側の面から露出するようになっている。そして、貫通穴146aを介して、外部電極148が形成されている。

【0101】さらに、凹部138aには、導電ペースト140が充填されている。導電ペースト140は、図4に示す凹部16aに充填された樹脂32と同様に柔らかい樹脂に、銀(Ag)、銅(Cu)、銀メッキ銅又は金(Au)などの導電フィラーが添加されたものである。この導電ペースト140によって、配線136と導電箔144とが電氣的に接続される。

【0102】本実施形態においても、中間層138に凹部138aが形成されていることで、応力緩和機能を果たすことができる。

【0103】(第9実施形態)図13(A)～図14(B)は、第9実施形態に係る半導体装置の製造方法を示す図である。本実施形態では、図10(A)に示す半導体チップ102と同様に、パシベーション膜(図示せず)が能動面152aに形成された半導体チップ152が使用される。このパシベーション膜は、中間層158のエッチング条件下で、エッチングされる材料から形成される。

【0104】図13(A)に示すように、能動面152aにおけるパシベーション膜上に被覆層156を形成する。被覆層156は、中間層158のエッチング条件下ではエッチングされない材料(例えば、クローム(Cr)、チタン(Ti)、チタニウムステン(Ti-W)又は銅(Cu)など)から形成される。被覆層156は、例えばスパッタリングにより形成される。

【0105】次に、図13(B)に示すように、被覆層156上を含み電極154を避けて、中間層158を形成する。中間層158の材料は、第1実施形態と同様である。

【0106】そして、図13(C)に示すように、電極154から中間層158にかけて配線160を形成し、配線160に電氣的に接続するように導電箔162を形成する。具体的には、スパッタリングにて、クローム(Cr)、チタン(Ti)、チタニウムステン(Ti-W)又は銅(Cu)、あるいはこれらのうち複数が積層された金属膜を形成し、これをエッチングによりパターン化して、配線160及び導電箔162を一体的に形成する。また、導電箔162には、穴162aを形成する。

【0107】続いて、図13(D)に示すように、導電箔162の上に外部電極164を形成する。具体的には、導電箔162上に、電解メッキ又は無電解メッキによって、銅(Cu)、ニッケル(Ni)又は金(A

u)、あるいはこれらのうち複数が積層されたバンプを形成して、外部電極164を形成する。

【0108】そして、図14(A)に示すように、配線160上にソルダレジスト層166を形成し、ソルダレジスト層166上に被覆層168を形成する。被覆層168も、中間層158のエッチング条件下ではエッチングされない材料(例えば、クローム(Cr)、チタン(Ti)、チタニウムステン(Ti-W)又は銅(Cu)など)から形成される。

【0109】そして、図14(B)に示すように、中間層158に凹部158aを形成する。その工程は、図7(D)に示す工程と同様である。また、被覆層168をエッチングによって除去する。この例では、外部電極164の中央部に開口があるが、第7実施形態のような開口設計でもよい。

【0110】以上の工程によって、半導体装置150を得ることができる。この半導体装置150も、中間層158に凹部158aが形成されていることで、応力緩和機能を果たす。

【0111】なお、図14(B)に示す半導体装置150のバンプ状の外部電極164の代わりに、図15に示すように、導電箔162における穴162aを形成する端部上に、ハンダボールからなる外部電極170を形成してもよい。

【0112】なお、本発明は、C3D型の半導体装置に限定されるものではない。例えば、半導体チップの電極上に直接変形部を積層すれば、フリップチップと同等のサイズでありながら、応力緩和機能も有する半導体装置が得られる。

【0113】図16には、上述した実施形態に係る方法によって製造された半導体装置1100を実装した回路基板1000が示されている。回路基板1000には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1000には例えば銅からなる配線パターンが所望の回路となるように形成されるとともに、この回路基板1000にハンダボールが設けられている。そして、配線パターンのハンダボールと半導体装置1100の外部電極とを機械的に接続することでそれらの電氣的導通が図られる。

【0114】この場合、半導体装置1100には外部との熱膨張差により生じる歪みを吸収する構造が設けられているため、本半導体装置1100を回路基板1000に実装しても接続時及びそれ以降の信頼性を向上できる。

【0115】なお、実装面積もベアチップにて実装した面積にまで小さくすることができる。このため、この回路基板1000を電子機器に用いれば電子機器自体の小型化が図れる。また、同一面積内においてはより実装スペースを確保することができ、高機能化を図ることも可能である。

【0116】そして、この回路基板1000を備える電子機器として、図17には、ノート型パーソナルコンピュータ1200が示されている。

【0117】なお、能動部品か受動部品かを問わず、種々の面実装用の電子部品に本発明を応用することもできる。電子部品として、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ポリウム又はヒューズなどがある。

【図面の簡単な説明】

【図1】図1は、第1実施形態に係る半導体装置を示す断面図である。

【図2】図2は、第1実施形態に係る半導体装置を示す平面図である。

【図3】図3(A)～図3(E)は、第1実施形態に係る半導体装置の製造方法を示す図である。

【図4】図4は、第2実施形態に係る半導体装置を示す図である。

【図5】図5は、第3実施形態に係る半導体装置を示す図である。

【図6】図6は、第4実施形態に係る半導体装置を示す図である。

【図7】図7(A)～図7(D)は、第4実施形態に係る半導体装置の製造方法を説明する図である。

【図8】図8(A)～図8(C)は、第4実施形態に係る半導体装置の製造方法を説明する図である。

【図9】図9(A)～図9(C)は、第5実施形態に係る半導体装置の製造方法を説明する図である。

【図10】図10(A)～図10(C)は、第6実施形*

態に係る半導体装置の製造方法を示す図である。

【図11】図11(A)及び図11(B)は、第7実施形態に係る半導体装置を示す図である。

【図12】図12は、第8実施形態に係る半導体装置を示す図である。

【図13】図13(A)～図13(D)は、第9実施形態に係る半導体装置の製造方法を示す図である。

【図14】図14(A)及び図14(B)は、第9実施形態に係る半導体装置の製造方法を示す図である。

【図15】図15は、第9実施形態の変形例を示す図である。

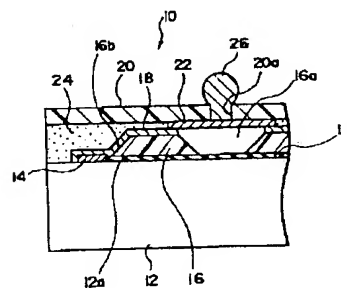
【図16】図16は、本実施形態に係る半導体装置が実装された回路基板を示す図である。'

【図17】図17は、本実施形態に係る半導体装置が実装された回路基板を備える電子機器を示す図である。

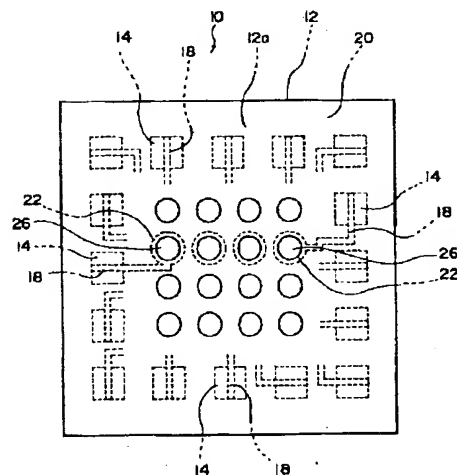
【符号の説明】

- 10 半導体装置
- 11 パッシベーション膜
- 12 半導体チップ
- 12a 能動面
- 14 電極
- 16 中間層
- 16a 凹部
- 18 配線
- 19 基板
- 20a 貫通穴
- 22 導電箔
- 26 外部電極

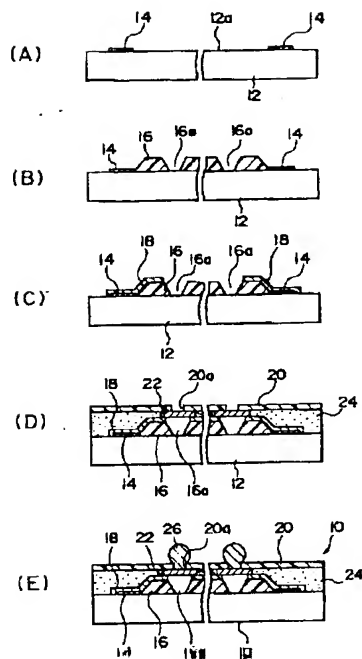
【図1】



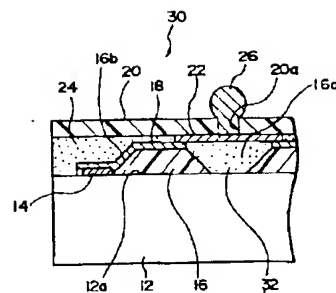
【図2】



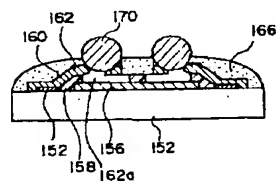
【図3】



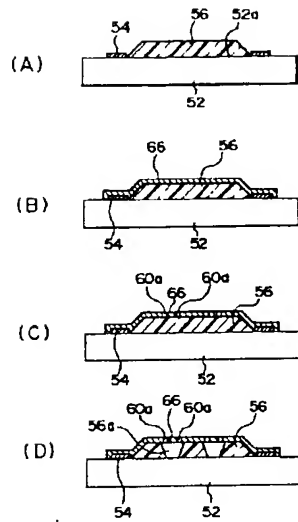
【図4】



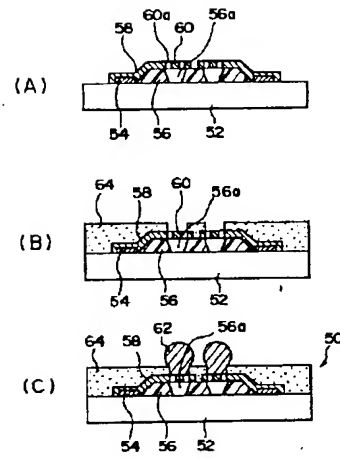
【図15】



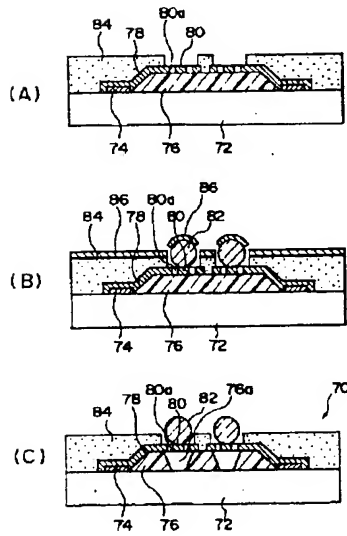
【図7】



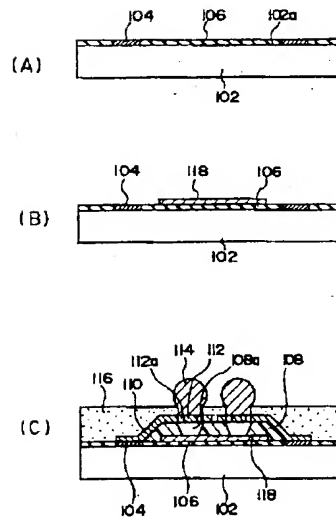
【図8】



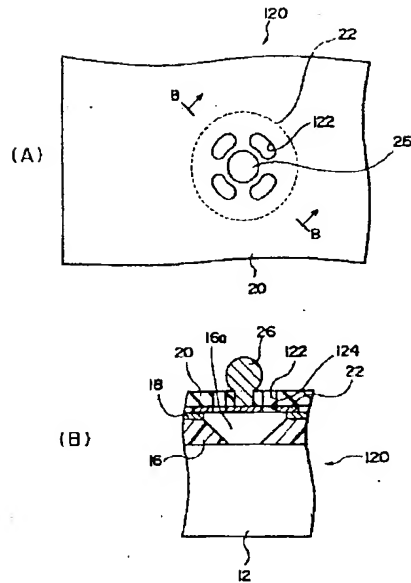
【図9】



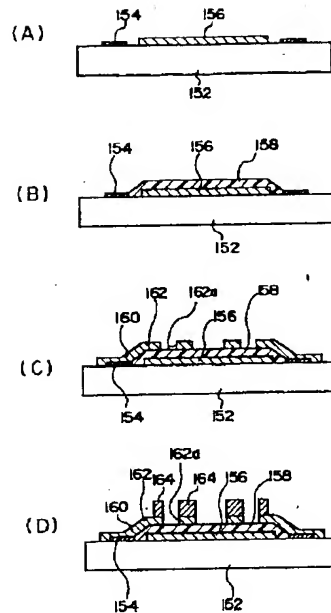
【図10】



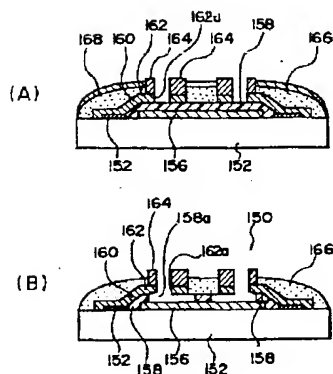
【図11】



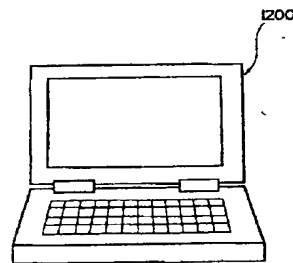
【図13】



【図14】



【図17】



【手続補正書】

【提出日】平成11年9月1日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 電極を有する半導体素子と、

それぞれの電極の少なくとも一部を避けて前記半導体素子の表面上に設けられるパッシベーション膜と、
 前記パッシベーション膜が形成された面の上において、厚み方向に所定の間隔をあけて設けられる導電箔と、
 前記導電箔上に形成される外部電極と、
 前記パッシベーション膜と前記導電箔との間に形成されるとともに前記導電箔を支持する中間層と、

前記電極と前記導電箔とを電氣的に接続する配線と、を有し、

前記中間層には 前記導電箔における前記外部電極との接合部を含む領域の下方に、前記パッシベーション膜と前記導電箔との間に開口領域となる凹部が形成されている半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記凹部内には 前記中間層よりもヤング率が低い樹脂が充填されている半導体装置。

【請求項3】 請求項2記載の半導体装置において、前記配線は、前記パッシベーション膜が形成された面上に形成されるとともに前記中間層の凹部の底面に位置し、

前記樹脂は、導電フィラーが添加されたものであって、前記配線と前記導電箔とを電氣的に接続する半導体装置。

【請求項4】 請求項1又は請求項2記載の半導体装置において、

前記中間層は、前記電極と前記導電箔との間に傾斜面を有し、

前記配線は、前記傾斜面を通して前記電極と前記導電箔とを電氣的に接続する半導体装置。

【請求項5】 請求項1から請求項4のいずれかに記載の半導体装置において、前記中間層は、柔軟性を有する材料から形成される半導体装置。

【請求項6】 請求項1から請求項5のいずれかに記載の半導体装置において、

前記導電箔は、前記凹部の開口領域の内側の位置であって前記外部電極との接続部を避ける位置に、穴を有する半導体装置。

【請求項7】 請求項1から請求項6のいずれかに記載の半導体装置において、

前記導電箔が形成された基板が、前記導電箔が形成された面を前記中間層に向けて設けられており、

前記基板は、前記凹部の上方に貫通穴を有し、

前記貫通穴を介して前記導電箔に前記外部電極が形成される半導体装置。

【請求項8】 請求項1から請求項6のいずれかに記載の半導体装置において、

前記中間層と前記導電箔との間に、柔軟性を有する材料から形成される基板が設けられ、

前記基板は、前記凹部の上方を除く領域に貫通穴を有し、

前記貫通穴を介して前記配線と前記導電箔とが電氣的に接続される半導体装置。

【請求項9】 請求項1から請求項8のいずれかに記載の半導体装置において、

前記導電箔と前記配線とは、一体的に形成されている半導体装置。

【請求項10】 請求項1から請求項8のいずれかに記載の半導体装置において、

前記導電箔と前記配線とは、別体である半導体装置。

【請求項11】 電極を有し、それぞれの電極の少なくとも一部を避けて表面上にパッシベーション膜が設けられた半導体素子を用意する工程と、

前記パッシベーション膜が形成された面の上方に、厚み方向に所定の間隔をあけて導電箔を設け、前記パッシベーション膜と前記導電箔との間に前記導電箔を支持する中間層を形成し、前記中間層に、前記電極を避ける位置でくぼ凹部を形成する工程と、

前記電極と前記導電箔とを電氣的に接続する配線を形成する工程と、

前記導電箔における前記凹部の上方位置に外部電極を形成する工程と、

を含む半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法において、

貫通穴を有し、かつ、前記貫通穴上を含めて前記導電箔が貼り付けられた基板を用意し、

前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記凹部を形成し、

その後 前記貫通穴を前記凹部の上方に位置させて、かつ、前記導電箔を前記凹部に対向させて 前記基板を前記中間層に載せ、

前記貫通穴を介して前記導電箔に前記外部電極を形成する半導体装置の製造方法。

【請求項13】 請求項11記載の半導体装置の製造方法において、

柔軟性を有する材料から形成されて貫通穴を有する基板を用意し、

前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記凹部を形成し、かつ、前記中間層に前記配線を形成し、

前記配線上に前記貫通穴を位置させて前記基板を前記中間層に載せ、前記基板に前記導電箔を形成し、前記貫通穴を介して前記配線と前記導電箔とを電氣的に接続する半導体装置の製造方法。

【請求項14】 請求項11記載の半導体装置の製造方法において、

前記パッシベーション膜が形成された面上に前記中間層を形成し、前記中間層に前記導電箔を形成し、前記導電箔に穴を形成し、前記穴を介して前記中間層をエッチングして前記凹部を形成する半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法において、

前記中間層は、前記半導体素子のエッチングが不可能な条件下で、エッチング可能な材料で形成される半導体装置の製造方法。

【請求項16】 請求項11記載の半導体装置の製造方法において、

前記中間層は、前記半導体素子のエッチングが不可能な条件下で、エッチング可能な材料で形成される半導体装置の製造方法。

【請求項17】 請求項11記載の半導体装置の製造方法において、

法において、

前記パッシベーション膜は、前記中間層のエッチング条件下でエッチングされるものであり、

前記パッシベーション膜上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる被覆層を形成し、前記被覆層に前記中間層を形成し、前記中間層に前記導電箔を形成し、前記導電箔に穴を形成し、前記穴を介して前記中間層をエッチングして前記凹部を形成する半導体装置の製造方法。

【請求項17】 請求項11記載の半導体装置の製造方法において、

前記パッシベーション膜は、前記中間層のエッチング条件下でエッチングされるものであり、

前記パッシベーション膜上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる第1の被覆層を形成し、

前記第1の被覆層上に前記中間層を形成し、

前記中間層上に前記導電箔及び配線を形成するとともに前記導電箔に穴を形成し、

前記配線にソルダレジスト層を形成し、

前記ソルダレジスト層上に、前記中間層のエッチング条件下でエッチングされにくい材料からなる第2の被覆層を形成し、

前記導電箔の穴を介して前記導電箔の下に至るまで前記中間層をエッチングする半導体装置の製造方法。

【請求項18】 請求項14から請求項17のいずれかに記載の半導体装置の製造方法において、

前記中間層をエッチングする工程の前に、前記導電箔に前記外部電極を形成し、前記外部電極に、前記中間層のエッチング条件下でエッチングされにくい材料からなる

電極被覆層を形成する工程を含む半導体装置の製造方法。

【請求項19】 請求項11から請求項18のいずれかに記載の半導体装置の製造方法において、

前記凹部に、前記中間層よりもヤング率が低い樹脂を充填する工程を含む半導体装置の製造方法。

【請求項20】 請求項1から請求項10のいずれかに記載の半導体装置が実装された回路基板。

【請求項21】 請求項20記載の回路基板を有する電子機器。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】

【課題を解決するための手段】(1)本発明に係る半導体装置は、電極を有する半導体素子と、それぞれの電極の少なくとも一部を避けて前記半導体素子の表面上に設けられるパッシベーション膜と、前記パッシベーション膜が形成された面の上方において、厚み方向に所定の間隔をあけて設けられる導電箔と、前記導電箔上に形成される外部電極と、前記パッシベーション膜と前記導電箔との間に形成されるとともに前記導電箔を支持する中間層と、前記電極と前記導電箔とを電気的に接続する配線と、を有し、前記中間層には、前記導電箔における前記外部電極との接合部を含む領域の下方に、前記パッシベーション膜と前記導電箔側との間に開口領域となる凹部が形成されている。